

# Perancangan Asinkron ADC Kecepatan Tinggi Menggunakan CMOS Teknologi AMS 0,35 $\mu\text{m}$

**Joko Purnomo, Erma Triawati Ch**  
Universitas Gunadarma  
Jln. Margonda Raya No. 100, Depok,  
Indonesia  
[jokopurn@staff.gunadarma.ac.id](mailto:jokopurn@staff.gunadarma.ac.id)  
[ermach@staff.gunadarma.ac.id](mailto:ermach@staff.gunadarma.ac.id)

**Hamzah Affandi, Eri Prasetyo**  
Universitas Gunadarma  
Jln. Margonda Raya No. 100, Depok,  
Indonesia  
[hamzah@staff.gunadarma.ac.id](mailto:hamzah@staff.gunadarma.ac.id)  
[eri@staff.gunadarma.ac.id](mailto:eri@staff.gunadarma.ac.id)

## Abstrak

Internet adalah suatu teknologi yang fenomenal, tidak saja yang perkembangannya diluar dari apa yang direncanakannya, tetapi dampaknya juga. Saat ini Internet dikenal dengan artefak sosio-teknik, artinya aspek yang terkait dengan Internet bukan saja aspek teknis, tetapi juga aspek sosial. Misal pengguna, kebijakan politis serta kondisi ekonomis.

Web Science sebagai bidang disiplin ilmu baru merupakan bidang ilmu yang berkembang didorong perkembangan Web itu sendiri. Web Science sedikit berbeda dengan Computer Science. Pengembangan sistem tidak saja dilihat dari aspek teknis tetapi juga sosial, seperti permasalahan trust, privacy, culturability dan sebagainya.

Lightweight Because Analysis (LWBA), suatu metoda analisis semi formal yang mempertimbangkan aspek sosio-teknis dari sistem. Representasi menggunakan LWBG dengan metoda transversal deskriptif. Disain memanfaatkan LWBA dapat mengidentifikasi kebutuhan sistem ataupun juga perubahan organisasi dan pembelajaran organisasi.

Kata kunci :Bandung Bondowoso System Development Method, Lightweight Why Because Analysis, Uji counter-factual, Web Science

## 1 Pendahuluan

ADC (*Analog to Digital Converter*) merupakan salah satu komponen utama dalam sistem pengolahan sinyal digital. Sesuai namanya ADC berfungsi untuk mengkonversi sinyal analog (*kontinyu*) menjadi sinyal digital (*diskrit*). Proses digitalisasi dilakukan melalui sampling dan kuantisasi. Kecepatan sampling akan menentukan jumlah sample persatuan waktu (*detik*). Kuantisasi menentukan resolusi jumlah bit yang digunakan untuk mengkodekan nilai se-

tiap sampelnya. Dengan terus berkembangnya perangkat elektronik digital berkecepatan tinggi yang sumber datanya adalah data analog maka peran ADC terus meningkat.

Kebutuhan akan ADC saat ini cukup tinggi, dan harus memiliki spesifikasi sebagai berikut; konsumsi daya dan tegangan yang kecil, memiliki kecepatan konversi yang tinggi, delay yang kecil, dan keluaran bit yang besar. Dengan spesifikasi tersebut Asynchronous ADC merupakan salah satu device yang masih banyak dikembangkan ke arah itu.

Teknik penyusunan dengan transistor unipolar ini dikenal dengan sistem VLSI (*Very Large Scale Intergration*) dengan memadukan tenaga rekayasa serta perusahaan semikonduktor dalam pengembangan disain prototype CHIP VLSI dengan teknologi CMOS (*Complementary Metal Oxide Semiconductor*) untuk aplikasi-aplikasi terpadu (digital equipment) [1]. Teknologi CMOS dapat juga digunakan untuk disain analog dan rangkaian RF sehingga banyak CHIP yang dikembangkan dengan sistem kompleks dengan bantuan CAD (*Computer Aided Design*). Pengembangan teknologi komponen terpadu (VLSI) semakin pesat dengan ukuran semakin kecil (saat ini telah sampai pada teknologi 90nm) dan memungkinkan pengembangan SOC (*System On Chip*) untuk peralatan multimedia, misal kamera digital, Handphone, Player, Networking dan lain-lain.

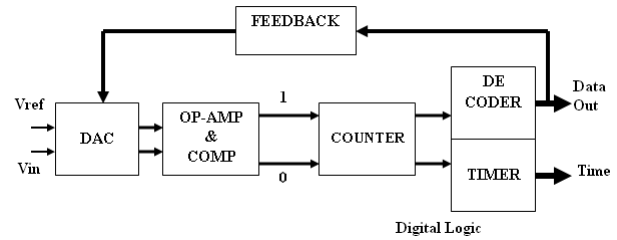
Tujuan penelitian ini untuk mendapatkan disain ADC yang mempunyai kecepatan tinggi, keakuratan tinggi dan disipasi daya rendah. Pada ADC berkecepatan tinggi biasanya digunakan untuk mengkonversi sinyal video. Pada penelitian ini diharapkan dapat mendisain rangkaian komponen dan mengimplementasikan ke dalam prototype A-ADC 3-bit misal komponen op-amp, komparator, digital logic, DAC (saklar kapasitor)[6].

## 2 Arsitektur Asynchronous ADC

Asynchronous ADC bekerja dengan cara mensampling data secara Nyquist. A-ADC merupakan varian baru dari jenis ADC. Bila dilihat dari cara kerjanya sebenarnya merupakan modifikasi dari ADC jenis SAR [4] Diagram Blok A-ADC, seperti yang ditunjukkan gambar 1.

Arsitektur ADC yang dirancang dalam penelitian ini adalah mengembangkan arsitektur ADC asinkron (A-ADC), disain utama pada Switch kapasitor [5]. Input sinyal analog akan ditangkap oleh SC untuk dibandingkan dengan sinyal teganganl atau referensi. Selain sinyal input, SC juga akan mendapatkan sinyal dari dekoder yang juga merupakan perbandingan dari sinyal data digital dengan sinyal sebelumnya.

Dalam gambar 1 dapat melihat bahwa sinyal out-



Gambar 1: Arsitektur A-ADC

put dari DAC akan masuk ke OP-AMP dan pembanding, yang akan diproses oleh blok dan diolah ke dalam data '1' dan '0' sebagai keluaran logika digital. Sinyal output dari blok logika digital ini merupakan data digital dan juga waktu.

### 2.1 Transconductance CMOS OP-AMP (OTA)

Fungsi op-amp pada ADC digunakan untuk proses sample and hold (SHA) dan multiplying, syarat Spesifikasi op-amp pada ADC adalah [Lisha.L,2007]:

$$GainOpenLoop(AoL) \geq 2^{N+2} V/V \quad (1)$$

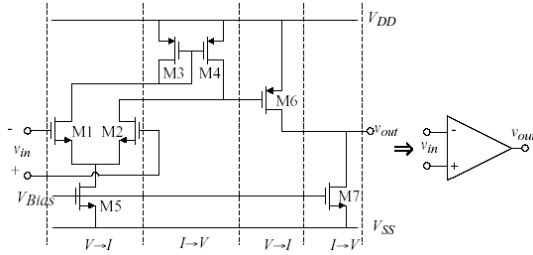
$$GainOpenLoop(dB) \geq 20 \cdot \log_2 2^{N+2} V/V \quad (2)$$

$$GainCloseLoop(AcL) = 2 V/V \quad (3)$$

$$FrekuensiUnity(f_u) \geq 0,22(N+1)f_{clock} \quad (4)$$

Pada gambar gambar 2 rangkaian op-amp OTA, penguat differensial (M1-4) menyediakan dua masukan membalik dan tak membalik dengan menyebabkan noise dan offset. Penguatan tinggi (high gain M6-7) hampir mirip dengan gerbang not bila op-amp menggerakkan beban rendah maka diikuti oleh stage penyangga (buffer), arus bersama (IM5) disediakan oleh rangkaian cermin arus.

Op-amp ideal mempunyai karakteristik, penguatan mode terbuka tak terhingga ( $AoL = \infty$ ), penguatan mode tertutup ( $Buffer = AcL = 1$ , impedansi



Gambar 2: OP-AMP Transconductance[2]

masukannya tak terhingga ( $R_{IN} = \infty$ ), impedansi keluaran hampir sama 0 ( $R_o \approx 0\Omega$ ), Lebar pita penguatan ( $GBW = \infty$ ), besar  $V_{out} = AV(V_+ - V_-)$ , dengan  $AV$  digunakan disain pada penguatan mode terbuka (AoL).

Semua op-amp mempunyai batasan pada jangkauan tegangan operasi kerjanya, batasan CMIR (*common mode input range*) adalah batasan skala jangkauan tiap masukan op-amp, diluar batasan tersebut menyebabkan keluaran distorsi atau terpotong.

$$CMR^- = V_{SS} + \sqrt{\frac{I_{D5}}{\beta_1}} + V_{in(max)} + V_{DSS(sat)} \approx 90\% V_{OS} \quad (5)$$

$$CMR^+ = V_{DD} + \sqrt{\frac{I_{D5}}{\beta_1}} + [V_{T03}] + V_{DSS(sat)} \approx 90\% V_{OS} \quad (6)$$

Fungsi cermin arus sebagai sumber arus bias bagi komponen mos untuk pengendali atau penggerak atau juga dapat sebagai cermin arus sumber dengan arus kendali. Pada gambar 2 Op-amp 2 stage transconductance dapat dianalisa sebagai berikut:

$$I_{D1} = I_{D2} = \frac{I_{SS}}{2}, \text{ slewrate}(SR) = \frac{I_{D5}}{C_C} = I_{SS} = I_{D5} \quad (7)$$

Penguatan stage 1

$$AV1 = \frac{gm_{1,2}}{g_{ds2} + g_{ds4}} = \frac{2gm_{1,2}}{I_{SS}(\lambda_2 + \lambda_4)} \quad (8)$$

Penguatan Stage 2

$$AV2 = \frac{gm_6}{g_{ds6} + g_{ds7}} = \frac{2gm_{1,2}}{I_{D6}(\lambda_6 + \lambda_7)} \quad (9)$$

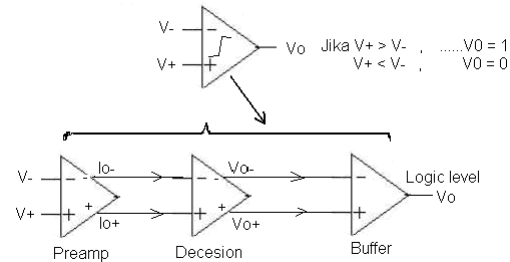
Di mana :

$g_{ds}$  = parameter transconductance drain to source

$\lambda$  = parameter channel length modulation

## 2.2 Pembanding

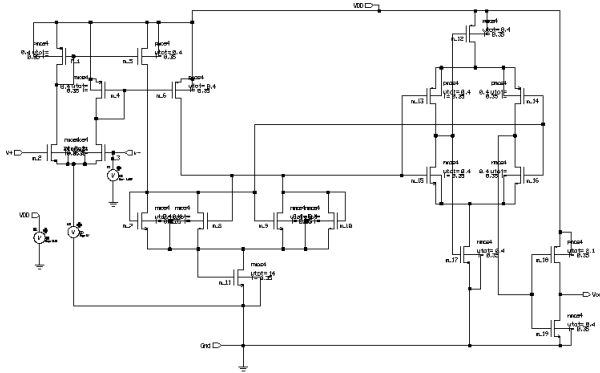
Fungsi pembanding sebagai pembanding sinyal masukan dengan tegangan acuan (ADC), keluaran komparator merupakan logika biner 0 atau 1. pada gambar 3 diagram blok komparator presisi. Untuk unit pre-amp digunakan jenis differensial dan diset untuk input kapasitansi dengan beban aktif, unit decision adalah jantung komparator yang berfungsi untuk mengubah dari arus ke tegangan, Selain itu sebagai umpan balik positif dengan menambahkan komponen bersama, digunakan untuk menggeser level histerisis dan juga menekan noise. Unit penyangga (buffer) berfungsi sebagai perantara level tegangan ke logika biner (0,1).



Gambar 3: Simbol dan Diagram Blok Komparator Presisi[3]

Unit decision berfungsi mengubah level arus ke level tegangan, maka besar tegangan yang keluar tergantung ukuran M7-M10, dan M11 berfungsi sebagai penggeser histeresis atau untuk menghilangkan noise[3].

Jika  $I_{o+}$  lebih besar dari  $I_{o-}$  maka M7, M9 kondisi ON, dan M8, M10 kondisi OFF, jika  $\beta_7 = \beta_{10} = \beta_A$  dan  $\beta_8 = \beta_9 = \beta_B$  dan  $V_{o-} = 0$  maka besar



Gambar 4: Rangkaian Pembanding

$$V_{o+} = \sqrt{\frac{2I_o}{\beta_A}} + V_{THN} \quad (10)$$

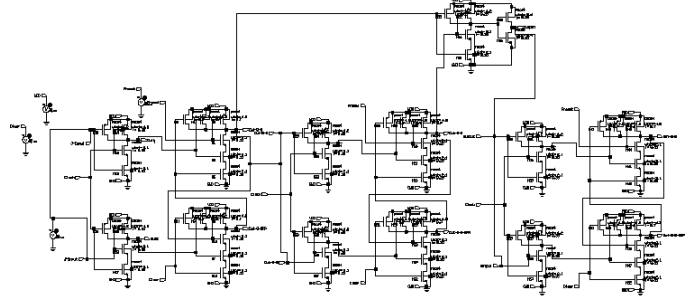
$$I_{o-} = \frac{\beta_B}{2} + (V_{o+} - V_{THN})^2 = \frac{\beta_B}{\beta_A} I_{o+} \quad (11)$$

Tegangan switching ( $V_{SPH}$ ) :

$$V_{SPH} = V_p + -V_{0-} = \frac{I_{ss}}{gm} \cdot \frac{\frac{\beta_B}{\beta_A} - 1}{\frac{\beta_B}{\beta_A} + 1} \text{ for } \beta_B \square \beta_A \quad (12)$$

### 2.3 Digital Logic

Digital logic merupakan blok yang berfungsi mengolah sinyal masukan dari Op-Amp untuk dijadikan data digital. Pada komponen ini terdiri atas counter, decoder dan timer. Counter akan bekerja berdasarkan masukan atau data dari pembanding. Bila masukan '1' maka akan bertambah (INC) dan bila masukan '0' maka akan berkurang (DEC). Keluaran dari counter ini akan menjadi 2 bagian, pertama sebagai pewaktu dan kedua sebagai data out. Besar kecilnya data out dan time tergantung dari data keluaran dari pembanding.



Gambar 5: Rangkaian Digital Logic

### 2.4 DAC

DAC merupakan componen untuk feedback yang bekerja sama dengan decoder dan mempunyai error corection yang berguna untuk mereduksi kesalahan pengkonversian yang mungkin terjadi. Sinyal ataupun data digital ini nantinya akan dihubungkan ke DAC untuk diolah lagi dan menjadi data digital yang sempurna

## 3 Hasil Simulasi

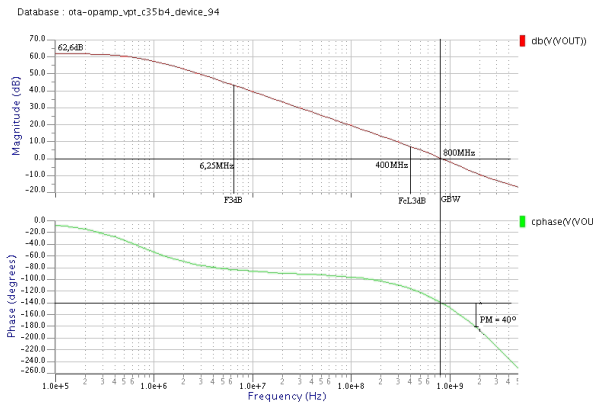
Dari disain tiap unit dapat dibuat simulasi. Adapaun hasil tiap simulasi ini dapat dijelaskan tergantung dari rangkaian yang disimulasikan.

Pada rangkaian OP-AMP hasil simulasinya seperti gambar 6.

$$AV1 = \frac{gm_{1,2}}{gds2 + gds3} = \frac{gm_{1,2}}{I_{D2}(\lambda2 + \lambda4)} = 100,35 \text{ V/V} \quad (13)$$

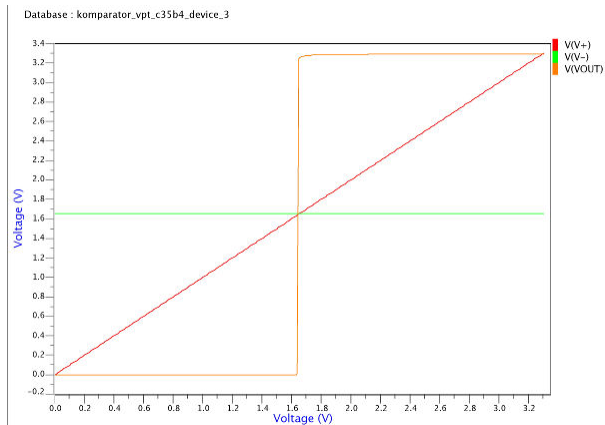
$$AV2 = \frac{gm6}{gds6 + gds7} = \frac{gm6}{I_{D6}(\lambda6 + \lambda7)} = 20.89 \text{ V/V} \quad (14)$$

AV = 2096,31V/V atau sama dengan 66,42dB. perhitungan simulasi dengan  $K_n = 175 \mu\text{A/V}$  dan  $K_p = 60 \mu\text{A/V}$ , terjadi perbedaan dengan hasil simulasi sebesar 3,62dB.(mendekati bila dibandingkan dengan simulasi pertama



Gambar 6: Hasil Simulasi Kedua Penguatan AoL dan PM OP-AMP.

Pada unit komparator presisi (ADC), simulasi ditekankan pada offset komparator

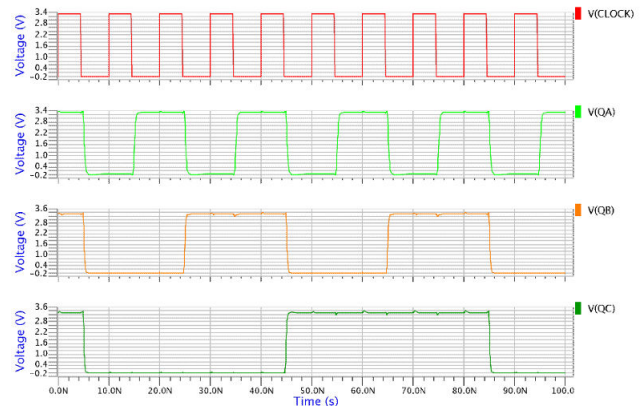


Gambar 7: Hasil Simulasi Tegangan Offset

Dengan memberikan masukan  $V_{in-}$  dengan tegangan DC 1,65V dan masukan  $V_{in+}$  variabel DC dari 0V sampai dengan 3,3V, didapatkan perubahan keluaran ( $v_{out}$ ) dengan titik setpoint pada 1,65V. Saat  $v_{in}$  0V s/d 1.65V maka  $V_{out} = 0V$  (0) kemudian saat  $v_{in}$  bergerak dari 1,65V s/d 3,3V maka  $V_{out} = 3,3V$  (1).

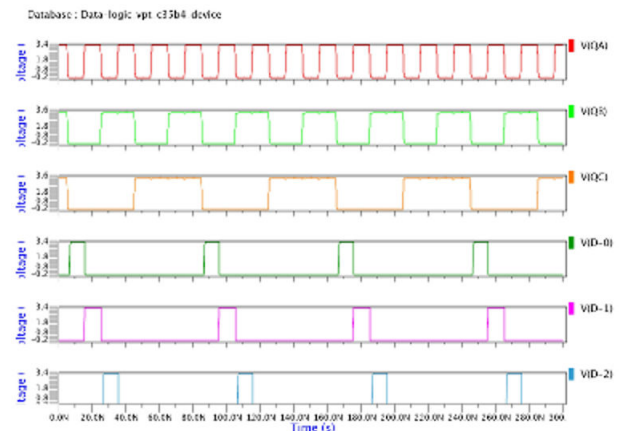
Pada unit digital logic, yang sangat menentukan pada blok counter karena semua sinyal masuk dan

diolah pada counter ini. Hasil simulasinya seperti pada gambar



Gambar 8: Hasil Simulasi Counter

Dengan memberi input berupa frekuensi 100 MHz dapat dihasilkan counter untuk menghitung maju atau mundur sesuai dengan kondisi yang ada. Sinyal inilah yang digunakan untuk keluaran ke register maupun ke decoder yang selanjutnya menjadi data digital.



Gambar 9: Hasil Simulasi Decoder

Keluaran data dari decoder merupakan data digital yang dihasilkan oleh ADC yang outputnya merupakan sinyal biner. Dari dekoder ini juga diumpanbalikkan (feedbac) ke unit umpan balik yang berfungsi

sebagai kontrol kesalahan. Dari sinyal decoder inilah yang nantinya menjadi acuan Error Corection

In *IEEE journal of solid state circuits*, volume 41, December 2006.

## 4 Kesimpulan

ADC Asynchronous ini telah dirancang dalam bentuk rangkaian skematik. Hasilnya masih dalam simulasi dan bisa dijalankan pada kecepatan frekuensi 100 MHz. Dalam aplikasinya rangkaian ini tidak bekerja sendiri tetapi digabungkan dengan rangkaian lain menjadi kesatuan sistem. Aplikasi yang digunakan terutama ntuk sinyal video. ADC dirancang tidak mempertimbangkan resolusi tetapi pada kecepatan, dan dapat diterapkan atau digabungkan dengan peralatan multimedia lain terutama untuk kamera kecepatan tinggi.

## Pustaka

- [1] La Jolla B. S. Song and Gilman. Design cmos analog-to-digital converter. In *International WorkShop in University of California*, volume ECE264C, San Diego, 2007.
- [2] J. Baker and D. E. Boyce. Cmos circuit design, layout and simulation. In *IEEE Press on Micro-electronic Systems*, 1998.
- [3] Dominique Ginhac Eri Prasetyo, Hamzah Afandi and M. Paindavoine. A 8-bits pipeline adc design for high speed camera application. In *IES 2007, ITS 2007*.
- [4] Andreas G. Andreou Eugenio Culurciello. An 8-bit 800-uw 1.23-ms/s successive approximation adc in soi cmos. In *Transaction on Circuits and System-II*, volume 53. IEEE, September 2006.
- [5] Tufts University M. Trakimas, S. Sonkusale. A 0,8 v asynchronou adc energy constrained sensing applications. pages 173–176. IEEE,CCIC, January 2008.
- [6] IEEE Shuo-Wei Michael Chen, Student Member and Robert W. Brodersen. Fellow "a6-bit 600-ms/s 5.3-mw asynchronous adc in 0.13-mcmos.